

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

SEONG-MIN CHOE

Application No.:

Filed:

For: **ON-DRAM TERMINATION
RESISTANCE CONTROL CIRCUIT
AND METHOD THEREOF**

Art Group:

Examiner:

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

REQUEST FOR PRIORITY

Sir:

Applicant respectfully requests a convention priority for the above-captioned application, namely:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>DATE OF FILING</u>
Korea	10-2003-0026937	29 April 2003

☒ A certified copy of the document is being submitted herewith.

Respectfully submitted,

Blakely, Sokoloff, Taylor & Zafman LLP

Dated: 12/15/03

12400 Wilshire Boulevard, 7th Floor
Los Angeles, CA 90025
Telephone: (310) 207-3800


Eric S. Hyman, Reg. No. 30,139



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0026937
Application Number

출원 년 월 일 : 2003년 04월 29일
Date of Application APR 29, 2003

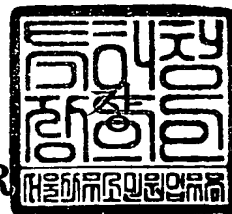
출원인 : 주식회사 하이닉스반도체
Applicant(s) Hynix Semiconductor Inc.



2003 년 10 월 24 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0015		
【제출일자】	2003.04.29		
【발명의 명칭】	온 디램 터미네이션 저항 조정 회로 및 그 방법		
【발명의 영문명칭】	ON DRAM TERMINATION RESISTANCE CONTROL CIRCUIT AND ITS METHOD		
【출원인】			
【명칭】	주식회사 하이닉스반도체		
【출원인코드】	1-1998-004569-8		
【대리인】			
【명칭】	특허법인 신성		
【대리인코드】	9-2000-100004-8		
【지정된변리사】	변리사 정지원, 변리사 원석희, 변리사 박해천		
【포괄위임등록번호】	2000-049307-2		
【발명자】			
【성명의 국문표기】	최성민		
【성명의 영문표기】	CHOE, Seong Min		
【주민등록번호】	710627-1122814		
【우편번호】	463-777		
【주소】	경기도 성남시 분당구 서현동 시범현대아파트 408-1001		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 특허법인 신성 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	4	면	4,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	14	항	557,000 원
【합계】	590,000	원	


1020030026937

출력 일자: 2003/10/29

【첨부서류】

1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 집적회로에서의 터미네이션단의 저항을 제어할 수 있으며, 간단한 회로 스킴을 사용함으로써 차지하는 면적을 최소화한 집적회로 터미네이션단의 저항 조정 회로 및 그 방법을 제공함에 목적이 있다.

이를 위하여 본 발명의 온 디램 터미네이션 저항 조정 회로는, 온 디램 터미네이션 동작을 수행하는 반도체 기억 소자에 있어서, 외부 기준 저항에 기초하여 제1 및 제2 내부 저항의 저항값을 조정하기 위한 푸시업 저항 조정수단; 상기 푸시업 저항 조정수단의 조정에 따라 조정된 상기 제2 내부 저항에 기초하여 제3 내부 저항의 저항값을 조정하기 위한 풀다운 저항 조정수단; 및 기 설정된 조정 회수 동안 상기 푸시업 저항 조정수단과 상기 풀다운 저항 조정수단에서의 동작을 교대로 반복수행하도록 제어하기 위한 저항 조정 제어수단을 포함할 수 있다.

【대표도】

도 1

【색인어】

터미네이션, 저항, 조정, 반도체 기억 소자, ODT

【명세서】

【발명의 명칭】

온 디램 터미네이션 저항 조정 회로 및 그 방법{ON DRAM TERMINATION RESISTANCE CONTROL CIRCUIT AND ITS METHOD}

【도면의 간단한 설명】

도 1은 본 발명에 따른 ODT 저항 조정 회로를 포함하는 전체 블록도,
도 2는 본 발명에 따른 ODT 저항 조정 회로의 일실시에 블록도,
도 3은 본 발명에 따른 링 오실레이터 제어부의 일실시에 회로도,
도 4는 본 발명에 따른 링 오실레이터부의 일실시에 회로도,
도 5는 본 발명에 따른 펄스 카운트 및 비교부의 일실시에 회로도,
도 6은 본 발명의 일 실시예에 따른 ODT 저항 조정 회로의 타이밍도.

* 도면의 주요 부분에 대한 설명 *

201: 제1 내부 저항	203: 제1 비교기
205: 제1 계산부	207: 제1 푸시업 디코더
209: 제2 푸시업 디코더	210: 제2 내부 저항
211: 제3 내부 저항	213: 제2 비교기
215: 제2 계산부	217: 풀다운 디코더

219: ODT 저항 조정 제어부 310: 링 오실레이터 제어부

320: 링 오실레이터부 330: 펄스 카운터 및 비교부

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <15> 본원 발명은 집적회로 터미네이션단의 저항 조정 회로에 관한 것으로, 특히 외부 결합 저항에 기반하여 터미네이션단의 저항을 조정하기 위한 조정 회로에 관한 것이다.
- <16> 일반적으로 터미네이션단의 저항은 소자간의 신호전송을 원활히 하기 위하여 필요하다. 저항이 적절히 매칭되지 않을 경우 전송되는 신호가 반사되어 신호 전송의 에러가 발생할 가능성이 높다. 그러나, 이 때에도 외부에 고정 저항을 인가하는 경우에는 집적회로의 노화나 온도 변화 혹은 제조공정상의 차이로 인하여 적절히 매칭될 수 없다. 이에 최근에는 외부 기준 저항과 비교하여 저항값이 같아지도록 하기 위해 병렬접속된 복수의 트랜지스터 중 턴온되는 트랜지스터의 개수를 조절함으로써 터미네이션단의 저항을 조정하는 기술이 소개되고 있다.
- <17> 2000. 7. 11.자 등록공고된 미국등록특허 6,087,847호는 부분적으로 외부 임피던스에 결합된 비-데이터(non-data) 신호 출력 버퍼의 임피던스를 조정하는 것에 기반하여, 인터페이스 회로 출력 버퍼의 임피던스를 조정하기 위한 디지털 피드백 제어 회로를 포함하는 집적회로를 개시하여, 마이크로프로세서 등의 출력 버퍼에서 저항값을 가변시키는 회로를 제시하고 있다. 그런데, 상기 미국특허의 도 2에 보이

는 비-데이터 신호 출력버퍼는 인터페이스 회로 출력 버퍼와 동일한 형태의 출력 버퍼를 사용하므로 많은 논리소자들을 이용하여 임피던스를 조정한다. 이에 따라, 집적회로 내에서 임피던스 조정을 위한 회로의 면적이 늘어날 수 밖에 없다. 그리고, 상기 미국특허는 출력버퍼용으로 전원전압단 혹은 접지전압단 중 배타적으로 어느 하나에만 연결되어야 하므로 전원전압단과 접지전압단에 연결된 스위치를 동시에 턴온시켜 동작하는 터미네이션단의 저항 조정에는 사용할 수 없다는 문제점이 있다.

【발명이 이루고자 하는 기술적 과제】

<18> 이에 본원 발명은 집적회로에서의 터미네이션단의 저항을 제어할 수 있으며, 간단한 회로 스킴을 사용함으로써 차지하는 면적을 최소화한 집적회로 터미네이션단의 저항 조정 회로 및 그 방법을 제공함에 목적이 있다.

【발명의 구성 및 작용】

<19> 상기 목적을 달성하기 위한 본 발명의 온 디램 터미네이션 저항 조정 회로는, 온 디램 터미네이션 동작을 수행하는 반도체 기억 소자에 있어서, 외부 기준 저항에 기초하여 제1 및 제2 내부 저항의 저항값을 조정하기 위한 푸시업 저항 조정수단; 상기 푸시업 저항 조정수단의 조정에 따라 조정된 상기 제2 내부 저항에 기초하여 제3 내부 저항의 저항값을 조정하기 위한 풀다운 저항 조정수단; 및 기 설정된 조정 회수 동안 상기 푸시업 저항 조정수단과 상기 풀다운 저항 조정수단에서의 동작을 교대로 반복수행하도록 제어하기 위한 저항 조정 제어수단을 포함할 수 있다.

- <20> 바람직하게는, 본 발명의 상기 푸시업 저항 조정수단은, 상기 제1 내부 저항에 접속된 상기 외부 기준 저항의 양단 전압과 기준 전압을 비교하기 위한 비교부; 상기 비교부의 출력에 따라 상기 제1 및 제2 내부 저항의 저항값을 조정하기 위한 저항 조정부; 상기 저항 조정부의 출력에 따라 저항값을 달리하는 제1 내부 저항 및 제2 내부 저항을 포함할 수 있다.
- <21> 바람직하게는, 본 발명의 상기 저항 조정부는, 상기 비교부의 출력을 입력받아 소정 비트의 신호를 하나씩 증감하기 위한 계산부; 및 상기 제1 계산부의 출력을 디코딩하여 상기 제1 및 제2 내부 저항을 조정하기 위한 제1 및 제2 푸시업 디코딩부를 포함할 수 있다.
- <22> 바람직하게는, 본 발명의 상기 풀다운 저항 조정수단은, 상기 제2 내부 저항에 접속된 상기 제3 내부 저항의 양단 전압과 기준 전압을 비교하기 위한 비교부; 상기 비교부의 출력에 따라 상기 제3 내부 저항의 저항값을 조정하기 위한 저항 조정부; 상기 저항 조정부의 출력에 따라 저항값을 달리하는 제3 내부 저항을 포함할 수 있다.
- <23> 바람직하게는, 본 발명의 상기 저항 조정부는, 상기 비교부의 출력을 입력받아 소정 비트의 신호를 하나씩 증감하기 위한 계산부; 및 상기 계산부의 출력을 디코딩하여 상기 제3 내부 저항을 조정하기 위한 풀다운 디코딩부를 포함할 수 있다.
- <24> 바람직하게는, 본 발명의 상기 저항 조정 제어 수단은, 외부로부터의 저항 조정 명령에 따라 동작을 시작하고, 상기 기 설정된 조정 회수 동안 동작을 수행하고 완료하게 하는 제어신호를 출력하기 위한 링 오실레이터 제어수단; 상기 링 오실레이터 제어수단으로부터의 제어신호에 따라 발진하면서 1회전시마다 펄스를 출력하기 위한 링 오실레이터; 및 상기 링 오실레이터로부터의 펄스를 카운트하고, 카운트된 상기 펄스의 수와 상기 결정된 회수가 일치하는지를 비교하기 위한 펄스 카운트 및 비교수단을 포함할 수 있다.

- <25> 바람직하게는, 본 발명의 상기 링 오실레이터 제어수단은, 파워업신호를 제어신호로 하고 일단이 전원전압단과 접속된 제1 피모스트랜지스터; 인에이블입력신호를 제어신호로 하고 상기 제1 피모스트랜지스터의 타단 및 접지전압단과 접속된 제1 엔모스트랜지스터; 상기 펄스 카운트 및 비교수단의 출력을 입력으로 하는 제1 인버터; 상기 제1 인버터의 출력을 제어신호로 하고 상기 전원전압단 및 상기 제1 피모스트랜지스터의 타단과 접속된 제2 피모스트랜지스터; 상기 제1 피모스트랜지스터의 타단과 접속된 한쌍의 역병렬접속된 제2 및 제3 인버터; 및 상기 제2 인버터의 출력을 입력으로 하는 직렬연결된 제4 및 제5 인버터를 포함할 수 있다.
- <26> 바람직하게는, 본 발명의 상기 링 오실레이터는, 상기 제4 인버터의 출력을 2입력 중 하나로 입력받는 노아게이트; 상기 노아게이트의 출력을 버퍼링하기 위한 직렬연결된 제6 및 제7 인버터; 상기 제7 인버터의 출력을 버퍼링하여 상기 노아게이트의 다른 하나의 입력으로 출력하기 위한 직렬연결된 제8 및 제9 인버터; 및 상기 제9 인버터의 출력을 버퍼링 및 인버팅하기 위한 직렬연결된 제10, 11 및 12 인버터를 포함할 수 있다.
- <27> 바람직하게는, 본 발명의 상기 펄스 카운트 및 비교수단은, 상기 제12 인버터로부터 출력되는 펄스를 카운트하기 위한 펄스 카운터; 및 상기 펄스 카운터로부터의 출력과 상기 기 설정된 조정 회수가 일치하는지를 비교하기 위한 조정 회수 비교부를 포함할 수 있다.
- <28> 또한, 본 발명의 온 디램 터미네이션 저항 조정 방법은, 온 디램 터미네이션 동작을 수행하는 반도체 기억 소자내 내부 저항을 조정함에 있어서, 외부 기준 저항에 기초하여 제1 및 제2 내부 저항의 저항값을 조정하는 제1 단계; 상기 제1 단계의 조정에 따라 조정된 상기 제2 내부 저항에 기초하여 제3 내부 저항의 저항값을 조정하는 제2 단계; 및 기 설정된 조정 회수 동안 상기 제1 단계 및 상기 제2 단계에서의 동작을 교대로 반복수행하는 제3 단계를 포함할 수 있다.

- <29> 바람직하게는, 본 발명의 상기 제1 단계는, 상기 제1 내부 저항에 접속된 상기 외부 기준 저항의 양단 전압과 기준 전압을 비교하는 제4 단계; 및 상기 제4 단계의 비교결과에 따라 상기 제1 및 제2 내부 저항의 저항값을 조정하는 제5 단계를 포함할 수 있다.
- <30> 바람직하게는, 본 발명의 상기 제2 단계는, 상기 제2 내부 저항에 접속된 상기 제3 내부 저항의 양단 전압과 기준 전압을 비교하는 제6 단계; 및 상기 제6 단계의 비교결과에 따라 상기 제3 내부 저항의 저항값을 조정하는 제7 단계를 포함할 수 있다.
- <31> 이하 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다. 이에 앞서, 본 명세서 및 청구범위에 사용된 용어나 단어는 통상적이거나 사전적인 의미로 한정해서 해석되어서는 아니되며, 발명자는 그 자신의 발명을 가장 최선의 방법으로 설명하기 위해 용어의 개념을 적절하게 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야만 한다. 따라서, 본 명세서에 기재된 실시예와 도면에 도시된 구성은 본 발명의 가장 바람직한 일 실시예에 불과할 뿐이고 본 발명의 기술적 사상을 모두 대변하는 것은 아니므로, 본 출원시점에 있어서 이들을 대체할 수 있는 다양한 균등물과 변형예들이 있을 수 있음을 이해하여야 한다.
- <32> 도 1은 본 발명에 따른 ODT 저항 조정 회로를 포함하는 전체 블록도이다.
- <33> 본 발명에 따른 ODT 저항 조정 회로(110)는 온디램 터미네이션 동작을 수행하는 인터페이스 회로(120)내 푸시 업 디코더와 풀 다운 디코더에 각각 푸시 업 코드(PU)와 풀 다운 코드(PD)를 제공할 수 있도록 구성된다.

- <34> 구체적으로, 본 발명의 일실시예에 따른 ODT 저항 조정 회로(110)의 동작을 살펴보면 다음과 같다. ODT 저항 조정 회로(110)가 인에이블되면, 내부 저항을 구성하는 8개의 병렬연결된 트랜지스터(201, 210, 211, 도면에는 4개씩만 도시됨) 중 4개가 턴온되도록 설정될 수 있다. 이 때, 외부 기준 저항(R_{ref})에 대하여 제1 내부 저항(201)이 변화하면, 외부 기준 저항(R_{ref})의 양단 전압(A노드에서의 전압) 또한 동시에 변화한다. 이 후, 전원전압의 1/2인 기준전압(V_{ref})과 A노드에서의 전압을 비교하는 제1 비교기(203)는 "H"상태 혹은 "L"상태의 논리신호를 출력할 수 있다.
- <35> 출력된 논리신호가 제1 계산부(205)에 입력되면, 입력되는 논리신호에 따라 제1 계산부(205)는 "100"으로부터 "101" 또는 "011"로의 변경된 출력을 제1 푸시업디코더(207)와 제2 푸시업디코더(209)로 내보낼 것이다. 제1 푸시업디코더(207)와 제2 푸시업디코더(209)는 입력신호에 따라 제1 내부저항(201)과 제2 내부저항(210)의 저항값을 조정한다. 조정된 내부저항(210)에 따라 노드B에서의 전압이 변화하게 되면, 노드 B에서의 전압과 기준전압(V_{ref})을 입력으로 하는 제2 비교기(213)는 "H"상태 혹은 "L"상태의 논리신호를 출력할 수 있다.
- <36> 출력된 논리신호가 제2 계산부(215)에 입력되면, 입력되는 논리신호에 따라 제2 계산부(215)는 초기의 출력 "100"으로부터 "101" 혹은 "011"으로의 변경된 출력을 내보내고, 그에 따라 풀다운디코더(217)는 내부저항(211)의 저항값을 조정한다.
- <37> 위와 같은 푸시업 저항 조정부(201, 203, 205, 207, 209, 210) 및 풀다운 저항 조정부(211, 213, 215, 217)에서의 동작은 ODT 저항 조정 제어부(219)에서 출력되는 제어신호에 의해 중지되거나 내부저항의 저항값이 외부 기준 저항과 동일하게 될 때 완료될 수 있다.

- <38> 즉, 본 발명에 따른 온 디램 터미네이션 동작을 수행하는 반도체 기억 소자내 내부 저항의 저항 조정 방법은, 외부 기준 저항에 기초하여 제1 및 제2 내부 저항의 저항값을 조정하는 제1 단계, 제1 단계의 조정에 따라 조정된 제2 내부 저항에 기초하여 제3 내부 저항의 저항값을 조정하는 제2 단계, 및 기 설정된 조정 회수 동안 제1 단계 및 제2 단계에서의 동작을 교대로 반복수행하는 제3 단계를 포함할 수 있다.
- <39> 구체적으로, 제1 단계는, 제1 내부 저항에 접속된 외부 기준 저항의 양단 전압과 기준 전압을 비교하는 단계와 비교결과에 따라 제1 및 제2 내부 저항의 저항값을 조정하는 단계로 나뉠 수 있다.
- <40> 그리고, 제2 단계 또한, 제2 내부 저항에 접속된 제3 내부 저항의 양단 전압과 기준 전압을 비교하는 단계와 비교결과에 따라 제3 내부 저항의 저항값을 조정하는 단계로 나뉠 수 있다.
- <41> 도 2는 본 발명에 따른 ODT 저항 조정 제어부의 일실시에 블록도이다.
- <42> ODT 저항 조정 제어부(219)는 링 오실레이터 제어부(310), 링 오실레이터 부(320) 및 펄스 카운트 및 비교부(330)를 포함하여 구성할 수 있다. 링 오실레이터 제어부(310)는 외부로부터의 저항 조정 명령에 따라 동작을 수행하도록 하는 신호를 링 오실레이터부(320)에 인가한다. 링 오실레이터부(320)는 발진하면서 펄스(CP1, CP2)를 출력한다. 펄스 카운트 및 비교부(330)는 링 오실레이터부(320)로부터 입력되는 펄스(CP1)의 개수, 즉 실제 저항의 조정이 수행된 회수를 카운트하여 명령 조정 회수와 비교하고, 비교 결과를 링 오실레이터 제어부(310)에 보낸다. 링 오실레이터 제어부(310)는 비교 결과를 바탕으로 동작을 계속할 것인지 완

료할 것인지에 결정한다. 즉, 실제 조정 회수가 명령 조정 회수에 도달하면 링 오실레이터 제어부(310)에서는 동작을 완료하도록 하는 신호를 링 오실레이터부(320)에 보내 링 오실레이터부(320)의 동작을 완료한다.

<43> 도 3은 본 발명에 따른 링 오실레이터 제어부의 일실시에 회로도이고, 도 4는 본 발명에 따른 링 오실레이터부의 일실시에 회로도이며, 도 5는 본 발명에 따른 펄스 카운트 및 비교부의 일실시에 회로도이다.

<44> 도 3에 입력되는 신호를 설명하면 다음과 같다. Y/N신호는 실제 조정 회수가 명령 조정 회수와 같다면 Y신호("H"상태)를, 다르다면 N신호("L"상태)를 유지한다. 파워업신호(pwrup)는 전원이 인가되는 경우에 "H"상태를 유지한다. 마지막으로, 인에이블입력신호(enable_in)는 ODT 저항 조정 제어부(219)의 동작이 인에이블되는 경우 "H"상태를 유지한다.

<45> 위와 같은 신호를 입력으로 하여 도 3의 링 오실레이터 제어부에 인에이블입력신호(enable_in)가 "H"상태로 천이하면, C노드는 "L"상태로, D노드는 "L"상태로, 그리고 E노드는 "H"상태로 순차적으로 천이하고, 인에이블출력바아신호(enable_outb)는 "L"상태를 출력할 수 있다.

<46> 도 4의 노아게이트(321)에 "L"상태의 인에이블출력바아신호(enable_outb)가 입력되면 F노드와 펄스(CP2)는 "H"상태로 천이하고, 펄스(CP1)은 펄스(CP2)에 비하여 소정 시간 지연되어 "L"상태를 출력할 수 있다.

<47> 이와 같은 동작을 소정의 명령 조정 회수만큼 수행한 후, 펄스 카운트 및 비교부(330)으로부터 Y/N신호가 "H"상태로 천이되면, 피모스트랜지스터(314)가 턴온되어 C노드는 "H"상태로

천이한다. 이에 따라 인에이블출력바아신호(enable_outb) 또한 "H"상태로 천이한다. 노아게이트(321)에 "H"상태의 인에이블출력바아신호(enable_outb)가 입력되면, F노드와 펄스(CP2)는 "L"상태로 천이하고, 펄스(CP1)은 펄스(CP2)에 비하여 소정 시간 지연되어 "H"상태를 출력할 것이다.

<48> 도 5에 관하여 간단히 설명하면, 펄스 카운터(331)는 링 오실레이터부(320)으로부터 입력되는 펄스(CP1)를 카운트한다. 조정 회수 비교부(332)는 실제 조정 회수와 명령 조정 회수를 비교하여 비교 결과값이 일치하는 경우에는 "H"상태의 신호를 출력한다. 이 때 펄스 카운터(331)는 비교 결과값이 일치하는 경우의 "H"상태의 신호를 리셋신호로 사용하여 펄스 카운터를 리셋시킬 수 있다.

<49> 도 6은 본 발명의 일 실시예에 따른 ODT 저항 조정 회로의 타이밍도이다.

<50> 일실시예로서 펄스(CP1 및 CP2)의 라이징 에지 트리거링과 폴링 에지 트리거링을 이용하여 4번의 동작을 수행하는 것을 보인다.

<51> 이상과 같이, 본 발명은 비록 한정된 실시예와 도면에 의해 설명되었으나, 본 발명은 이것에 의해 한정되지 않으며 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 본 발명의 기술사상과 아래에 기재될 특허청구범위의 균등범위 내에서 다양한 수정 및 변형이 가능함은 물론이다.



【발명의 효과】

<52> 상기와 같은 구성에 따라 본원 발명은 집적회로에서의 터미네이션단의 저항을 조정할 수 있으며, 간단한 회로 스킴을 사용함으로써 차지하는 면적을 최소화한 집적회로 터미네이션단의 저항 조정 회로 그 방법을 제공할 수 있다.

【특허청구범위】**【청구항 1】**

온 디램 터미네이션 동작을 수행하는 반도체 기억 소자내 저항 조절에 있어서,

외부 기준 저항에 기초하여 제1 및 제2 내부 저항의 저항값을 조정하기 위한 푸시업 저항 조정수단;

상기 푸시업 저항 조정수단의 조절에 따라 조정된 상기 제2 내부 저항에 기초하여 제3 내부 저항의 저항값을 조정하기 위한 풀다운 저항 조정수단; 및

기 설정된 조정 회수 동안 상기 푸시업 저항 조정수단과 상기 풀다운 저항 조정수단에서의 동작을 교대로 반복수행하도록 제어하기 위한 저항 조정 제어수단

을 포함하는 것을 특징으로 하는 온 디램 터미네이션 저항 조정 회로.

【청구항 2】

제1항에 있어서, 상기 푸시업 저항 조정수단은,

상기 제1 내부 저항에 접속된 상기 외부 기준 저항의 양단 전압과 기준 전압을 비교하기 위한 비교부;

상기 비교부의 출력에 따라 상기 제1 및 제2 내부 저항의 저항값을 조정하기 위한 저항 조정부;

상기 저항 조정부의 출력에 따라 저항값을 달리하는 제1 내부 저항 및 제2 내부 저항을 포함하는 것을 특징으로 하는 온 디램 터미네이션 저항 조정 회로.

【청구항 3】

제2항에 있어서, 상기 저항 조정부는,

상기 비교부의 출력을 입력받아 소정 비트의 신호를 하나씩 증감하기 위한 계산부; 및

상기 제1 계산부의 출력을 디코딩하여 상기 제1 및 제2 내부 저항을 조정하기 위한 제1 및 제2 푸시업 디코딩부

를 포함하는 것을 특징으로 하는 온 디램 터미네이션 저항 조정 회로.

【청구항 4】

제3항에 있어서, 상기 제1 및 제2 내부 저항은,

각각 병렬연결된 복수의 피모스 트랜지스터임을 특징으로 하는 온 디램 터미네이션 저항 조정 회로.

【청구항 5】

제1항에 있어서, 상기 풀다운 저항 조정수단은,

상기 제2 내부 저항에 접속된 상기 제3 내부 저항의 양단 전압과 기준 전압을 비교하기 위한 비교부;

상기 비교부의 출력에 따라 상기 제3 내부 저항의 저항값을 조정하기 위한 저항 조정부;

상기 저항 조정부의 출력에 따라 저항값을 달리하는 제3 내부 저항

을 포함하는 것을 특징으로 하는 온 디램 터미네이션 저항 조정 회로.

【청구항 6】

제5항에 있어서, 상기 저항 조정부는,

상기 비교부의 출력을 입력받아 소정 비트의 신호를 하나씩 증감하기 위한 계산부; 및
상기 계산부의 출력을 디코딩하여 상기 제3 내부 저항을 조정하기 위한 풀다운 디코딩부

를 포함하는 것을 특징으로 하는 온 디램 터미네이션 저항 조정 회로.

【청구항 7】

제6항에 있어서, 상기 제3 내부 저항은,

각각 병렬연결된 복수의 엔모스 트랜지스터임을 특징으로 하는 온 디램 터미네이션 저항
조정 회로.

【청구항 8】

제1 내지 제7항 중 어느 한 항에 있어서, 상기 저항 조정 제어 수단은,

외부로부터의 저항 조정 명령에 따라 동작을 시작하고, 상기 기 설정된 조정 회수 동안
동작을 수행하고 완료하게 하는 제어신호를 출력하기 위한 링 오실레이터 제어수단;

상기 링 오실레이터 제어수단으로부터의 제어신호에 따라 발진하면서 1회전시마다 펄스
를 출력하기 위한 링 오실레이터; 및

상기 링 오실레이터로부터의 펄스를 카운트하고, 카운트된 상기 펄스의 수와 상기 결정된 회수가 일치하는지를 비교하기 위한 펄스 카운트 및 비교수단을 포함하는 것을 특징으로 하는 온 디램 터미네이션 저항 조정 회로.

【청구항 9】

제8항에 있어서, 상기 링 오실레이터 제어수단은,
 파워업신호를 제어신호로 하고 일단이 전원전압단과 접속된 제1 피모스트랜지스터;
 인에이블입력신호를 제어신호로 하고 상기 제1 피모스트랜지스터의 타단 및 접지전압단과 접속된 제1 엔모스트랜지스터;
 상기 펄스 카운트 및 비교수단의 출력을 입력으로 하는 제1 인버터;
 상기 제1 인버터의 출력을 제어신호로 하고 상기 전원전압단 및 상기 제1 피모스트랜지스터의 타단과 접속된 제2 피모스트랜지스터;
 상기 제1 피모스트랜지스터의 타단과 접속된 한쌍의 역병렬접속된 제2 및 제3 인버터;
 및
 상기 제2 인버터의 출력을 입력으로 하는 직렬연결된 제4 및 제5 인버터를 포함하는 것을 특징으로 하는 온 디램 터미네이션 저항 조정 회로.

【청구항 10】

제9항에 있어서, 상기 링 오실레이터는,
 상기 제4 인버터의 출력을 2입력 중 하나로 입력받는 노아게이트;

상기 노아게이트의 출력을 버퍼링하기 위한 직렬연결된 제6 및 제7 인버터;

상기 제7 인버터의 출력을 버퍼링하여 상기 노아게이트의 다른 하나의 입력으로 출력하기 위한 직렬연결된 제8 및 제9 인버터; 및

상기 제9 인버터의 출력을 버퍼링 및 인버팅하기 위한 직렬연결된 제10, 11 및 12 인버터

를 포함하는 것을 특징으로 하는 온 디램 터미네이션 저항 조정 회로.

【청구항 11】

제10항에 있어서, 상기 펄스 카운트 및 비교수단은,

상기 제12 인버터로부터 출력되는 펄스를 카운트하기 위한 펄스 카운터; 및

상기 펄스 카운터로부터의 출력과 상기 기 설정된 조정 회수가 일치하는지를 비교하기 위한 조정 회수 비교부

를 포함하는 것을 특징으로 하는 온 디램 터미네이션 저항 조정 회로.

【청구항 12】

온 디램 터미네이션 동작을 수행하는 반도체 기억 소자내 내부 저항을 조정함에 있어서,

외부 기준 저항에 기초하여 제1 및 제2 내부 저항의 저항값을 조정하는 제1 단계;

상기 제1 단계의 조정에 따라 조정된 상기 제2 내부 저항에 기초하여 제3 내부 저항의 저항값을 조정하는 제2 단계; 및

기 설정된 조정 회수 동안 상기 제1 단계 및 상기 제2 단계에서의 동작을 교대로 반복 수행하는 제3 단계

를 포함하는 것을 특징으로 하는 온 디램 터미네이션 저항 조정 방법.

【청구항 13】

제12항에 있어서, 상기 제1 단계는,

상기 제1 내부 저항에 접속된 상기 외부 기준 저항의 양단 전압과 기준 전압을 비교하는 제4 단계; 및

상기 제4 단계의 비교결과에 따라 상기 제1 및 제2 내부 저항의 저항값을 조정하는 제5 단계

를 포함하는 것을 특징으로 하는 온 디램 터미네이션 저항 조정 방법.

【청구항 14】

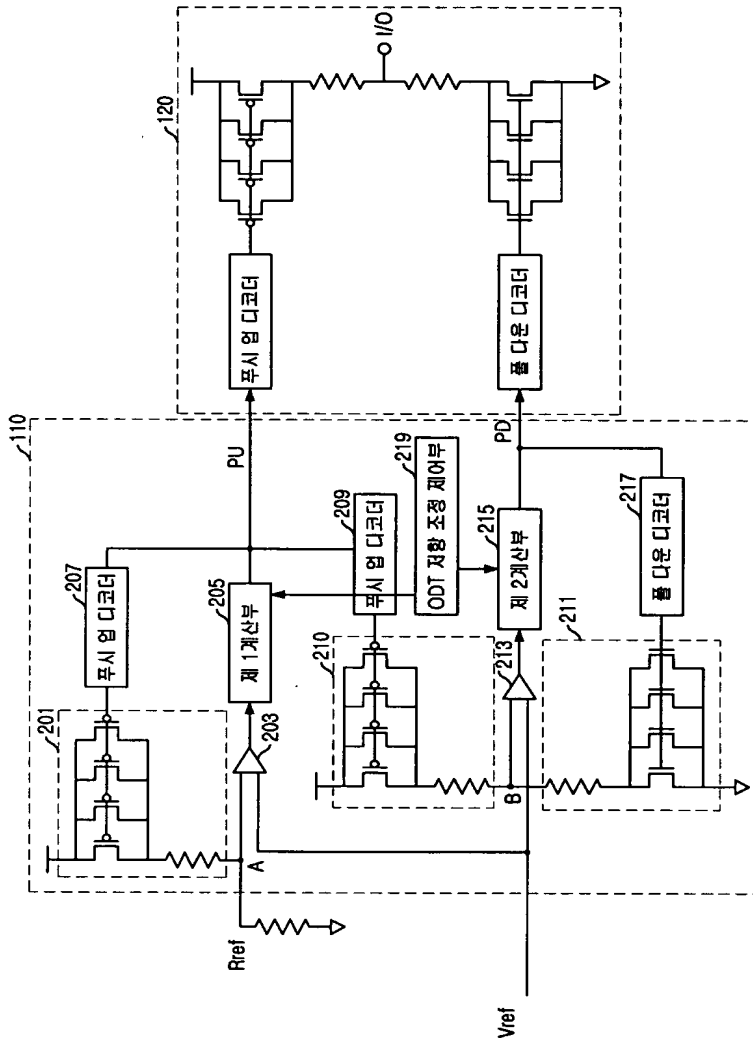
제13항에 있어서, 상기 제2 단계는,

상기 제2 내부 저항에 접속된 상기 제3 내부 저항의 양단 전압과 기준 전압을 비교하는 제6 단계; 및

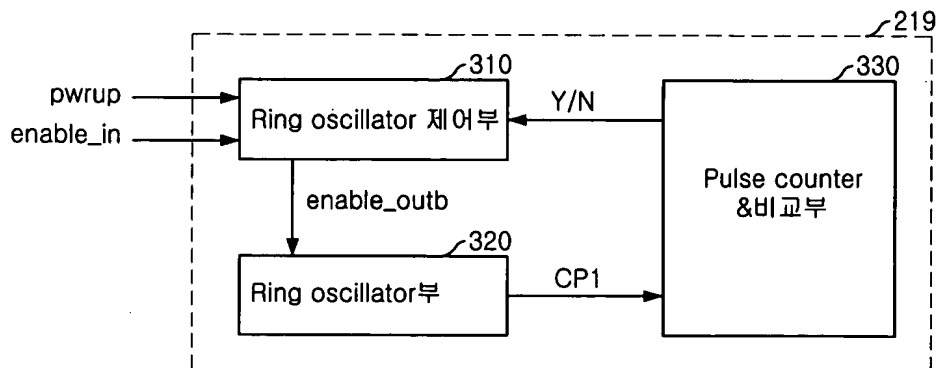
상기 제6 단계의 비교결과에 따라 상기 제3 내부 저항의 저항값을 조정하는 제7 단계를 포함하는 것을 특징으로 하는 온 디램 터미네이션 저항 조정 방법.

【도면】

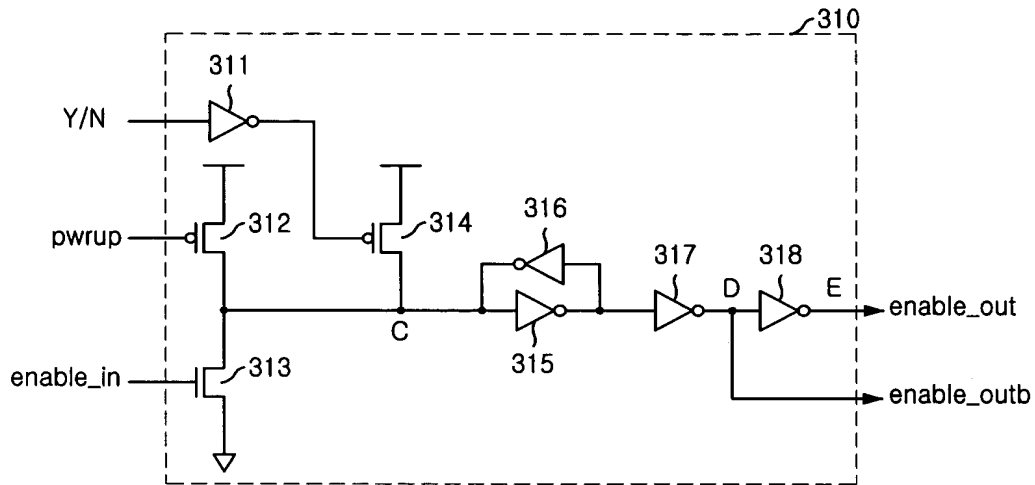
【도 1】



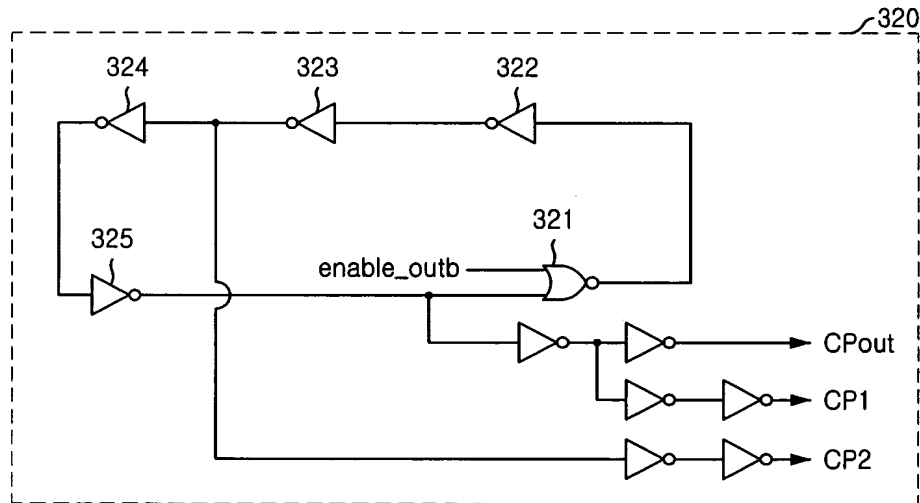
【도 2】



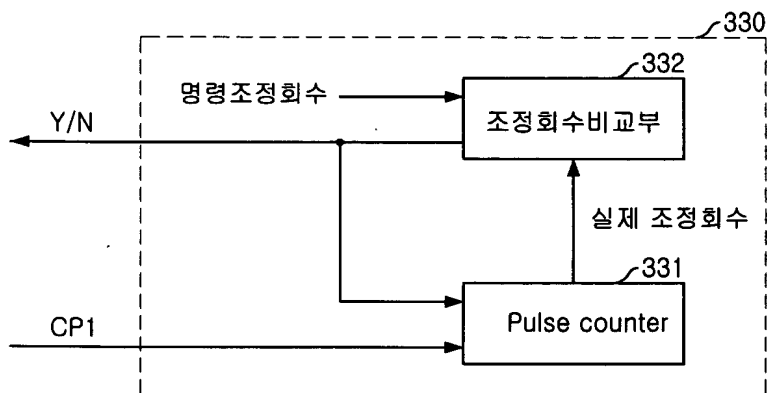
【도 3】



【도 4】



【도 5】



【도 6】

